

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

(TRANSLATION)

Japanese Patent Publication No . 11-74800
Publication Date : March 16, 1999

Application No. : 9-233655
Filing Date : August 29, 1997
Applicant : NEC CORP
Inventor (s) : MARU TSUGUO

Title of the Invention :
VITERBI DECODER

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074800
(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H03M 13/12

(21)Application number : 09-233655
(22)Date of filing : 29.08.1997

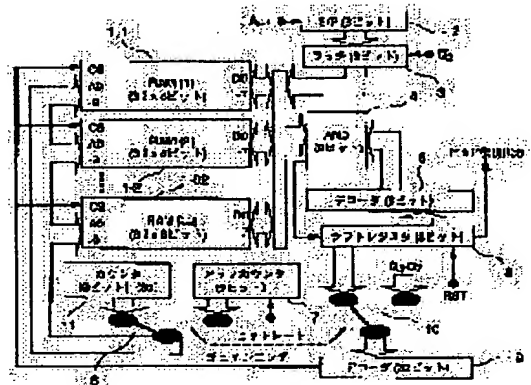
(71)Applicant : NEC CORP
(72)Inventor : MARU TSUGIO

(54) VITERBI DECODER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve operability of a viterbi decoder by reducing power consumption, forming the viterbi decoder in small size and light weight.

SOLUTION: The viterbi decoder is constituted of a back trace circuit including path memory constituted of first RAM 1-1, an ACS circuit including a path metric constituted of second RAM 1-2 and a branch metric circuit. The back trace circuit including the path memory is at least provided with a shift register 8 whose number of stages is defined as (restricted length-1), a logical product per bit between a signal generated by decoders 5, 9 connected with the shift register 8 and the contents of the path memory specified by address counters 7, 11 for back trace is taken and a result of the logical product is inputted in the shift register 8 by the back trace circuit.



LEGAL STATUS

[Date of request for examination] 29.08.1997
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(43)公開日 平成11年(1999)3月16日

F I
H 0 3 M 13/12

審査請求 有 請求項の数9 O.L (全 9 頁)

(22)出願日 平成9年(1997)8月29日

東京都港区芝五丁目7番1号

東京都港区芝五丁目7番1号 日本電気株式会社内

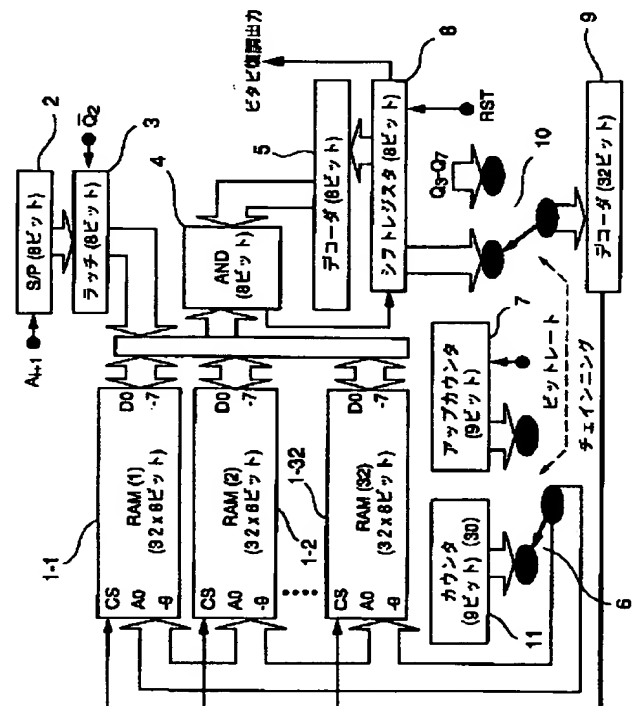
(74)代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 ビタビデコーダ

(57) 【要約】

【課題】 ビタビデコードを超低消費電力化し、且つ小型軽量化し操作性の向上を図ることである。

【解決手段】 第1のRAM1-1により構成されるバスメモリを含むバクトレース回路と、第2のRAM1-2により構成されるバスメトリックを含むACS回路と、ブランチメトリック回路とによりピタビデコーダを構成し、前記バスメモリを含むバクトレース回路は、少なくとも（拘束長-1）を段数とするシフトレジスタ8を有し、シフトレジスタ8に接続されたデコーダ5、9により発生した信号と、バクトレース用のアドレスカウンタ7、11によって指定されたバスメモリの内容とのビット当たりの論理積をとり、その結果をシフトレジスタ8に入力する。



【特許請求の範囲】

【請求項1】 入力信号をビタビ復号化するビタビレコードにおいて、

バスメモリと、少なくとも拘束長-1を段数とするシフトレジスタとを有し、且つ該シフトレジスタに接続されたデコーダにより発生した信号とバクトレース用のアドレスカウンタによって指定された前記バスメモリの内容とのビット当たりの論理積を取った結果を該シフトレジスタに入力するバクトレース回路を具備することを特徴とするビタビデコーダ。

【請求項2】 第1のRAMによって構成されるバスメモリを含むバクトレース回路と、第2のRAMによって構成されるバスメトリックを含むACS回路と、プランチメトリック回路よりなり、前記バスメモリを含むバクトレース回路は、少なくとも(拘束長-1)を段数とするシフトレジスタを有し、該シフトレジスタに接続されたデコーダにより発生した信号と、バクトレース用のアドレスカウンタによって指定された前記バスメモリの内容とのビット当たりの論理積をとり、その結果を前記シフトレジスタに入力するように構成したことを特徴とするビタビデコーダ。

【請求項3】 前記第1のRAMによって構成されるバスメモリを複数個に分割し、前記シフトレジスタの少なくとも1個の上位ビットによりチップセレクト信号を形成し、該チップセレクト信号によって分割したバスメモリの選択を行い、前記シフトレジスタの残りのビットをデコードした結果と、前記バクトレース用カウンタと該チップセレクト信号により選択されたバスメモリの内容とのビット毎の論理積をとり、その結果を前記シフトレジスタに入力するように構成したことを特徴とする請求項1に記載のビタビデコーダ。

【請求項4】 前記第2のRAMによって構成されるバスメトリックを複数個に分割し、分割したバスメトリック毎に前記ACS回路を具備させ、ACSによって選択された生き残りバスに対応する加算値をその状態の尤度として前記バスメトリックに記憶する際、分割したメモリ群毎に書き込みを行うように構成したことを特徴とする請求項1または2に記載のビタビデコーダ。

【請求項5】 前記ACSの開始及び前記バクトレースの開始信号によりそれぞれ動作を開始するACS回路とバクトレース回路を有し、それぞれの開始信号によって事象起動するように構成したことを特徴とする請求項1ないし3のいずれか1項に記載のビタビデコーダ。

【請求項6】 前記バクトレース回路におけるバスメモリの段数を複数ブロックから成る適当な長さに打ち切る際、前後の打ち切った範囲がブロック単位で重なり合うように構成し、最尤判定回路によりバクトレース開始位置を設定し、バクトレースして選択された状態に対する打ち切りシンボル内の一本の生き残りバスの先頭のブロックを復号データとすることを特徴とする請求項

1ないし4のいずれか1項に記載のビタビデコーダ。

【請求項7】 前記複数ブロックによって分割されたバスメモリをブロック毎に回転するリングバッファにて構成し、バクトレースは最後のブロックの最後のデータより開始し、先頭のブロックに対応して得られるデータを復号データとすることを特徴とする請求項5に記載のビタビデコーダ。

10 【請求項8】 前記複数ブロックによって分割されたバスメモリを形成するリングバッファをRAMによって構成し、ブロック毎のデータの更新はアドレス制御によって実現したことを特徴とする請求項6に記載のビタビデコーダ。

【請求項9】 前記複数のブロックにそれぞれ対応する入力データをブロック毎に時間圧縮し、ACS処理及びバクトレースバック処理を圧縮したタイミングで行うように構成したことを特徴とする請求項5ないし7のいずれか1項に記載のビタビデコーダ。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明は、超低消費電力型のビタビ復号LSIを有するビタビデコーダに関し、特に待ち受け時もビタビ復号を行うCDMAシステムを用いた携帯電話用ビタビデコーダに関する。

【0002】

【従来の技術】従来、畳み込み符号化ビタビ復号法はランダム誤りに対する訂正能力が非常に大きい誤り訂正方式として、衛星通信を初め実用に供されて来た。この様なシステムでは非常に速い動作速度と長いフレーム長が要求され、ビタビ復号LSIとしてはバスメモリの段数を適当な長さで打ち切るメモリトランケーションを行う必要があった。この様な要求から実用化されているビタビ復号LSIのバスメモリと最尤判定回路の例を第7図に示す。図7に示す様にバスセレクト信号 A_{i+1} によって各段間スイッチが上下に倒れた後、シフトパルスによるシフトレジスタの内容は、行の入れ替えとシフトが行われ内容の更新が順次各時点で反復される。最尤判定回路は $i+1$ 時点のバスメトリックの最大になるバスを検出し、そのシフトレジスタにスイッチを倒して読み出せばそれが最尤復号出力となる。しかし1チップでこれを実現すると膨大な搭載ゲートを高速で動作させる為消費電力が極めて大きくなるといった欠点があった。

30 【0003】近年、デジタル方式の携帯電話やCDMA方式の携帯電話にビタビ復号法が用いられる様になってきた。この様なシステムでは衛星通信の場合と異なり、遅い動作速度と比較的短いフレーム長を用いている。しかし電池を電源とし、携帯性を追求する為、超低消費電力が必須の条件となっている。現在迄に知られている低消費型ビタビ復号は、例えばデジタル方式の携帯電話用DSPにビタビ復号を処理する専用回路を内蔵した方法

がある(日経エレクトロニクス、No. 620、15-16、"94に記載がある)。

【0004】しかし、更に通話時間が長くなることが要求されていること、また携帯性を高める為の電池容量の削減が求められていることから、更なる消費電力削減が求められている。特に待ち受け時もビタビ復号を行うCDMAシステムでは必須条件である。

【0005】

【発明が解決しようとする課題】現在知られている低消費型ビタビ復号でデジタル携帯電話用DSPにビタビ復号を処理する専用回路を内蔵した方法を見ると、2回のACS演算を6サイクルで実行することが出来る様になっている。しかし、ビタビ復号に必要なバスメモリとその最尤判定といった処理はソフトウェアによってなされ、またACS演算に必要なメトリック情報に頻繁な外部とのアクセスが生じる。特に軟判定を行う場合、メトリック情報のビット数が増えるので処理にオーバーヘッドが増え低消費電力化が難しいといった問題があった。

【0006】また、CDMAシステムではレイク合成を用いるが、各フィンガーにおける位相推定と振幅推定による復調を行った後の信号はI系統、Q系統ともに2乗の振幅となって得られる。レーレーフェージング等のレベル変動を考慮したビタビ復号を考える場合、その軟判定情報となるメトリックは2乗である方が都合が良い。そこで、軟判定情報は2倍のビット幅を持つことになるが、上記の従来の方法だと処理のオーバーヘッドを更に上長させることになるといった欠点があった。

【0007】本発明はこのような状況にかんがみてなされたものであり、超低消費電力化が可能な小型軽量で操作性を向上させることのできるビタビデコーダを提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1に記載のビタビデコーダは、入力信号をビタビ復号化するビタビレコーダにおいて、バスメモリと、少なくとも拘束長-1を段数とするシフトレジスタとを有し、且つ該シフトレジスタに接続されたデコーダにより発生した信号とバックトレース用のアドレスカウンタによって指定された前記バスメモリの内容とのビット当たりの論理積を取った結果を該シフトレジスタに入力するバックトレース回路を具備する。

【0009】請求項2に記載のビタビデコーダは、第1のRAMによって構成されるバスメモリを含むバックトレース回路と、第2のRAMによって構成されるバスメトリックを含むACS回路と、ブランチメトリック回路よりなり、前記バスメモリを含むバックトレース回路は、少なくとも(拘束長-1)を段数とするシフトレジスタを有し、該シフトレジスタに接続されたデコーダにより発生した信号と、バックトレース用のアドレスカウンタによって指定された前記バスメモリの内容とのビッ

ト当たりの論理積をとり、その結果を前記シフトレジスタに入力する。

【0010】請求項3に記載のビタビデコーダは、前記第2のRAMによって構成されるバスメモリを複数個に分割し、前記シフトレジスタの少なくとも1個の上位ビットによりチップセレクト信号を形成し、該チップセレクト信号によって分割したバスメモリの選択を行い、前記シフトレジスタの残りのビットをデコードした結果と、前記バックトレース用カウンタと該チップセレクト信号により選択されたバスメモリの内容とのビット毎の論理積をとり、その結果を前記シフトレジスタに入力する。

【0011】請求項4に記載のビタビデコーダは、前記第2のRAMによって構成されるバスメトリックを複数個に分割し、分割したバスメトリック毎に前記ACS回路を具備させ、ACSによって選択された生き残りバスに対応する加算値をその状態の尤度としてバスメトリックに記憶する際、分割したメモリ群毎に書き込みを行う。

【0012】請求項5に記載のビタビデコーダは、前記ACSの開始及び前記バックトレースの開始信号によりそれぞれ動作を開始するACS回路とバックトレース回路を有し、それぞれの開始信号によって事象起動する。

【0013】請求項6に記載のビタビデコーダは、前記バックトレース回路におけるバスメモリの段数を複数ブロックから成る適当な長さに打ち切る際、前後の打ち切った範囲がブロック単位で重なり合うように構成し、最尤判定回路によりバックトレース開始位置を設定し、バックトレースして選択された状態に対する打ち切りシンボル内の一本の生き残りバスの先頭のブロックを復号データとする。

【0014】請求項7に記載のビタビデコーダは、前記複数ブロックによって分割されたバスメモリをブロック毎に回転するリングバッファにて構成し、バックトレースは最後のブロックの最後のデータより開始し、先頭のブロックに対応して得られるデータを復号データとする。

【0015】請求項8に記載のビタビデコーダは、前記複数ブロックによって分割されたバスメモリを形成するリングバッファをRAMによって構成し、ブロック毎のデータの更新はアドレス制御によって実現した。

【0016】請求項9に記載のビタビデコーダは、前記複数のブロックにそれぞれ対応する入力データをブロック毎に時間圧縮し、ACS処理及びトレースバック処理を圧縮したタイミングで行う。

【0017】

【発明の実施の形態】以下、本発明のビタビデコーダの実施の形態の構成例を図面を参照しながら詳細に説明する。

【0018】図1は、本発明によるビタビデコーダを用

いた第1の構成例である。

【0019】同図は、バスメモリを含むバクトレース回路であり、拘束長-1ビットのシフトレジスタ8と、フレームの長さに相当するカウント値を持つカウンタ11、7と、ビット単位で論理積をとるAND回路4と、ACS回路より送られて来た判定結果をバラレル変換し、バスメモリ1-1、1-2、1-32へ格納する為のS/P変換2とラッチ回路3と、前記シフトレジスタ8の上位5ビットをデコードしてバスメモリバンク1-1、1-2、1-32のチップセレクト信号32本を生成するデコーダ9と、チップセレクトされたバスメモリから得たデータから必要なビットを選ぶ為の比較データを生成するデコーダ5と、その論理積演算を行うAND回路4と、ACSが動作してバスメモリに比較データを格納する状態とバクトレースでデータを取り出す状態とを選択するセクタ6、10より構成している。

【0020】同図より、ACSより送られて来た判定データは先ずS/P変換2によりシリアル・バラレル変換が行われその結果はラッチ回路3へ蓄えられる。状態を選択する為のセクタ6、10は判定データを格納する状態に切り替わっており、アドレス指定とチップセレクトにより、先頭番地より順次ラッチ回路3に蓄えられた判定データがバスメモリ1-1、1-2、1-32へ格納される。1フレーム分のデータが格納されると、状態選択セクタ6、10はバクトレースでデータを取り出す状態になる。この時カウンタ11はカウンタ7の最後の値がセットされ(カウンタ11とカウンタ7をアップダウンカウンタ一個に置き換えて最後のカウント値の設定を省略することも可能)ダウンカウントが開始される。受信信号の最後の部分にはテールビットが $8 \times 3 = 24$ シンボル分有り、ビット数で拘束長-1に相当する。従って、シフトレジスタ8には全て"0"がセットされ、バスメモリのアドレスはデコーダ9のチップセレクトによって1-1が選択され、AND回路4へのバス上に選択されたデータが出力される。このデータは、デコーダ5によって、得られたデータとビット毎の論理積がとられ、この場合は、シフトレジスタ8の内容は全て"0"であるので、バスメモリの最初のビットが検査されることになる。AND回路4によって検出された内容は、シフトレジスタ8にフィードバックされ、その内容を元に同様のことを繰り返す。この繰り返しによって逐次的にトレースバックが行われる。

【0021】図2は、図1の構成例に判定データを送る回路で、RAMによって構成されたバスメトリックを含むACS回路の例である。

【0022】バスメトリックメモリは101と105の二面をもっており、どちらか片方が入力、他方が出力先となる。この状態は、全ての状態の比較を完了すると入れ替わる。入れ替えはセクタ103、104、108、115にて行われる。カウンタ102は入力となる

バスメモリのアドレスの設定及び出力先のアドレス設定に用いられており、入力に対しては、カウンタの最下位ビットがアドレスの最上位ビットに、出力に対しては、カウンタの最下位ビットがアドレスの最下位ビットになる様に接続される。これによって、例えばステートN0、の0番と128番が比較されその結果が出力先のバスメモリの0番と1番に格納されることになる。比較は、レジスタ113と110に一時保管されたデータをブランチメトリック加算用の加算器116と107によって加算したあとと比較用の加算器117にて最小比較される。比較結果は上述のバスメモを含むバクトレース回路に送られる。また比較結果はメトリックの、選択にも使用され、尤度の高い方がセクタ106によって選択され、その内容は出力先のバスメトリックメモリへ送られる。またレジスタ112、111はメモリの速度を考慮して予め次ぎのデータを読み込んでおく為である。

【0023】図3は、ブランチメトリック発生回路で、上述のRAMによって構成されたバスメトリックを含むACS回路の例にブランチメトリックを送出するものである。

【0024】図3において、直並列変換器201は、デインターリーブ(図では省略)から送られてくるシリアルデータを3シンボルの並列データに並び替えるものである。並べ替えられたデータは、それぞれ2の補数回路202、203、204により正負両方のデータを用意している。加算器211、209は生成多項式回路205からの信号を受けて動作するセクタ206~208により選ばれたデータを加算しブランチメトリックを発生させるもので、送り手と同じ生成多項式になっているので上述のバスメトリック回路のACS動作に併せてそれぞれ選ばれたブランチメトリックを発生する。ACSとのタイミング合わせは、図2におけるカウンタ値を使用している。2の補数回路210は、ACSで使うベアのブランチメトリックを作る為のものである。

【0025】図4は、高速動作のACSを説明したので、バスメトリックメモリをM段のバンクに分割しM段の並列処理を施した場合である。

【0026】同図においてメモリバンクはステート(アドレス)に対してモデュロMの演算に入れ替わる。

【0027】メトリックの入力側とメトリックの出力側に分けて説明すると、入力元のアドレスベアは、バンクNO. に対しモデュロ演算で決まる。同図におけるメモリの上半分は、ステートNO. が増加するに従って、バンクNO. もモデュロで増加する。下半分は、それに従って、モデュロで減少する様に動作する。ベアになるバンクは上半分と下半分がかち合わなければ問題はない。Mが偶数ならばM/2個のACSベアがかち合うことなく配置される。この状態でM/2個のACSベアをM/2個を単位ブロックとしてブロック単位でシフトさせる。これによって上半分が最初のメモリバンクのグルー

ブになると下半分が後半のメモリバンクのグループになり、かち合うことなく $M/2$ ACSペアの並列処理が可能となる。

【0028】出力先のアドレスペアは、入力元のアドレスの2倍のアドレスとその+1のアドレスである。アドレスバンクは $\text{mod } M$ の演算で決定されるから、入力元アドレスの上半分のアドレスを adrUH とすると、出力先アドレスは $(\text{adrUH} \times 2) \text{ mod } M + (0, 1)$ である。上半分のメモリバンクのグループは、 $0 \sim (M/2) - 1$ 、下半分は、 $(M/2) \sim M - 1$ のモデュロアドレスである。(exM=4ならば、0, 1と2, 3となる。)従ってその実アドレスは、例えば上半分では、 $qM + \{0 \sim (M/2) - 1\}$ となる。その2倍が出力先のアドレスとなるから、 $2qM + (0 \sim M - 2) \text{ even}$ となり、そのメモリバンクは $\text{mod } M$ をとって、 $(0 \sim M - 2) \text{ even}$ 、またもう一つのアドレスは+1であるから、丁度その間を埋める様に配置される。これによってかち合うことなく出力先が決定され、 $M/2$ 個のACSペアの並列処理が可能となる。同様に下半分では、 $qM \sim \{(M/2) \sim M - 1\}$ である。その二倍が出力先のアドレスとなるから $2qM + 2 \cdot$

$\{(M/2) \sim M - 1\} \text{ even} = 2qM + \{0 \sim M - 2\} \text{ even}$ となる。従って、そのメモリバンクは $\text{mod } M$ をとって、 $\{0 \sim M - 2\} \text{ even}$ 、またもう一つのアドレスは+1であるから、その間を埋める様に配置される。これによつてかち合うことなく出力先が決定される。以上で全ての範囲で $M/2$ 個のACSペアの並列処理が可能になることがわかる。

【0029】図5は、事象起動型で構成した構造例である。

【0030】シーケンサ501からの開始信号によって各ブロックは動作を開始し、完了すると完了通知信号を返すことによって構成されている。これによって各ブロックに必要な動作クロックからの制限を解放し、クロックフリーな構成になっている。以下動作を順をおって説明する。

【0031】シーケンサ501は、3シンボルの軟判定データが入力されると、直並列変換開始信号をランチメトリックブロック502に送る。ランチメトリックブロック502は開始信号を受け取ると、直並列変換を行いACS動作に連動してランチメトリックを送出出来る体制を作り、変換完了信号をシーケンサ501に返す。シーケンサ501は、ランチメトリックの体制が整ったことを知ると、バスメトリック&ACSブロック503に生成多項式回路用の信号の開始と、ACS動作の開始信号を送る。バスメトリック&ACSブロック503は、開始信号を受け取ると、ACS動作に連動して生成多項式回路にACS操作に対応した信号を送りながらACS動作を開始する。ACS動作によって得られた判定結果は、バスメモリ書き込みブロック504

に送られ、シーケンサ501からの書き込み開始信号によって書き込みが行われる。この動作を繰り返し行い、3シンボルによって判定される全てのステートを完了すると、シーケンサ501は次の3シンボルが入力される迄各ブロックの動作クロックを止めてバッテリセービングを動作を行う。次の3シンボルについても同様な処理を行い、これを繰り返すことによって1フレーム分の処理を完了する。バスメモリ書き込みブロック504は1フレーム分の書き込みを終了すると、1フレーム完了信号をシーケンサ501に返す。この信号を受けてシーケンサ501はバスメモリトレースバックブロック505へトレースバック開始信号を送出する。トレースバックブロック505は、開始信号を受けるとトレースバックを開始し、結果はFILO (first in last out) 回路に蓄えられる。1フレーム分のトレースバックを完了すると、トレースバックブロックは、完了通知をシーケンサ501へ返す。シーケンサ501はデータ出力ブロック506へデータ出力とCRCチェックの開始を送出し、データ出力ブロック506は、送出タイミングに併せてデータ送出とCRCのチェックを行い、完了したらシーケンサ501へ完了通知を送出する。シーケンサは各ブロックの動作が完了したらそのブロックの動作クロックを停止しバッテリセービングモードにしている。また、1フレームのデータ長を時間圧縮して受け取る様になっており、フレーム間のあいた時間でトレースバックを行う様に構成されているので、フレームを連続して受信することも可能な構造になっている。この様に基本的に開始信号と完了信号によって事象起動型に構成されているので、シンボルレートが変わった場合にも各ブロックの動作最大速度以内なら処理することが出来、しかも、動作が完了したブロックはバッテリセービングがはかられるので低消費電力化が可能なフレキシブルな構成になっている。更に各ブロックが独立に試験出来るというメリットもある。

【0032】図6は、バクトレースにおけるバスメモリの段数を複数ブロックからなる長さに打ち切る際、前後の打ち切り範囲がブロック単位で重なり合うように構成した例である。

【0033】同図において、最初に使用するバスメモリは601-1で、バスメモリ601-1の最後迄判定データが蓄積されると最尤判定回路によって設定されたバクトレース開始位置より開始して半分迄バクトレースを行った位置より検出されるデータを複合データとして使用している。次にバスメモリの状態は601-2の状態となり、半分のバスメモリのデータが追加されると最後の最尤判定された位置から同様にバクトレースを開始し、後半の結果のみを複合データとして使用する。バスメモリ601-3～も同様に行って重なり合うようにトレースバックを行ってブロック単位で打ち切った範囲を複合したものである。バスメモリ601-1, 60

1-2, 603-3, ...は同一のバスメモリで、前半と後半をつないだリングバッファ構成となっており、ACSからの判定結果はシームレスに蓄積される。従って、トレースバックを開始するメモリアドレスの位置は、右図に示すA点とB点交互に使う様にアドレス制御を行えばよい。はじめの実施例では、フレームとフレームの間にバックトレースを行っておりフレーム単位で時間圧縮してバックトレース用の時間を稼いでいたが、この例では、フレームをブロック単位で分割している為、半ブロック単位で時間圧縮を行い、トレースバックの時間を稼いでいる。

【0034】

【発明の効果】以上説明した様に、請求項1に記載の本発明のビタビデコーダを用いれば、超低消費電力化が可能な小型軽量で操作性を向上させることができる。

【0035】更に、請求項2に記載の本発明は、従来の構成であるDSPとビタビ用アクセラレータの組み合わせよりも、最小限の最適化されたハードウェア構成で実現出来るので、低消費電力化が必須条件である携帯電話に適するように、超低消費電力化が可能な小型軽量で操作性を向上させることができる。

【0036】更に、請求項3に記載の本発明は、バスメモリを複数個に分割しチップセレクト信号により分割したバスメモリの選択を行うことにより更に低消費電力化されたビタビデコーダを提供することができる。

【0037】更に、請求項4に記載の本発明は、バスメモリック用RAMを分割し、分割したメモリック毎にACS回路を具備しているので、並列処理による高速化が可能であり、上述の様にバックトレースも完全にハード構成で実現しているので高速化に適したビタビデコーダを提供することができる。

【0038】更に、請求項5に記載の本発明のビタビデコーダは、ACSの開始やバックトレースの開始信号により事象起動型で構成されているので、動作クロックからの制限を解放し、設計にフレキシビリティを持たせることが出来るといった特徴をもっている。

【0039】更に、請求項6に記載の本発明は、長いフレームを有する信号であっても、ブロック単位でバスメモリのランケーションを行うことが出来るので、頻繁にバックトレースを行う必要がなく、従って電力効率のよいビタビデコーダを提供することができる。

【0040】更に、請求項7、8に記載の本発明は、メ

モリランケーションで前後の打ち切った範囲がブロック単位で重なり合う様に構成した場合でもバスメモリをリングバッファ状に組むことによりメモリ容量を少なく構成することができる。

【0041】更に、請求項9に記載の本発明は、ブロック単位に入力データを時間圧縮して処理を行うことで、ブロック毎に生じるトレースバックを事象起動型の恩恵を受け、スムーズに処理することができる。

【図面の簡単な説明】

【図1】本発明のビタビデコーダの実施の形態の構成例を示すブロック図である。

【図2】図1のRAMによって構成されるバスメモリックを含むACS回路の例を示すブロック図である。

【図3】本発明によるランチメモリック発生回路の例を示すブロック図である。

【図4】本発明によりM段の並列処理を施した場合の動作を示す説明図である。

【図5】本発明の他の実施の形態による事象起動型の構成例を示すブロック図である。

【図6】(a)、(b)は本発明の他の実施の形態によるブロック化バスメモリ打ち切り回路の例を示す説明図である。

【図7】従来のビタビデコーダの実施の形態の構成例を示すブロック図である。

【符号の説明】

1 バスメモリ (RAM)

5、9 デコーダ

7 アップカウンタ

8 シフトレジスタ

11 カウンタ

101、105 バスメモリックメモリ

102 カウンタ

110、111、112、113 レジスタ

201 直並列変換器

202、203、204、210 2の補数回路

501 シーケンサー

502 ブランチメモリックブロック

503 バスメモリック&ACSブロック

504 バスメモリ書き込みブロック

505 トレースバックブロック

506 データ出力ブロック

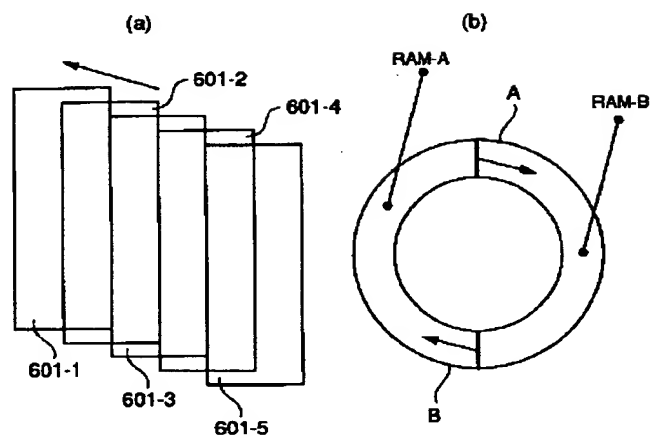
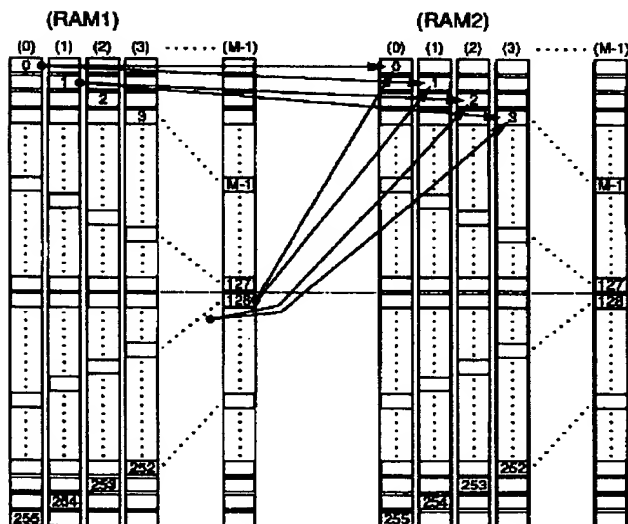
601-1~5 バスメモリ

Figure 1 is a block diagram of a digital signal processing circuit. The circuit includes two RAMs (101 and 105), a counter (102), a register (109), and various adders (106, 107, 114). It features two 8-bit address buses (ADRバス) and two 20-bit data buses (データバス). The circuit processes signals through a series of adders and a register to produce a final output.

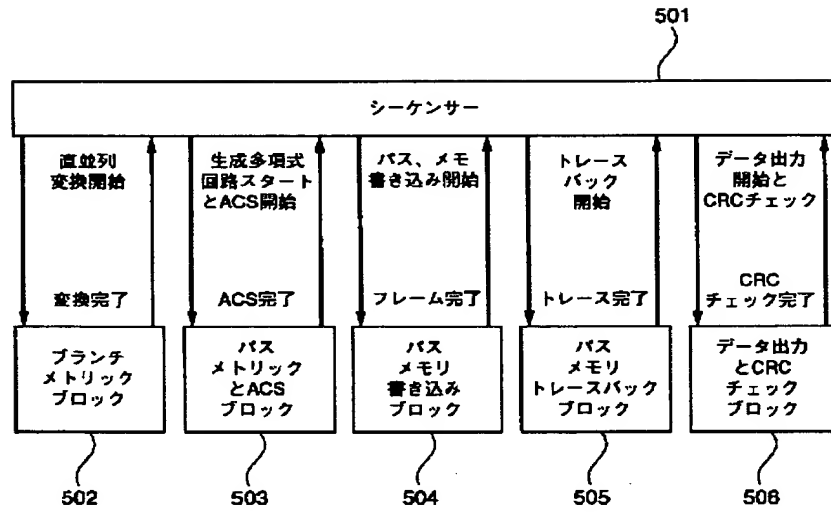
[illegible]

注) $c(\cdot)$ は括弧内の2の補数である

【図 6】



【図5】



【図7】

